

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10041804 A**(43) Date of publication of application: **13.02.98**

(51) Int. Cl. **H03K 19/0175**
G06F 1/24
G11C 7/00

(21) Application number: **08194213**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **24.07.96**(72) Inventor: **SENBA KENICHI**

(54) REGISTER READ/RESET CIRCUIT

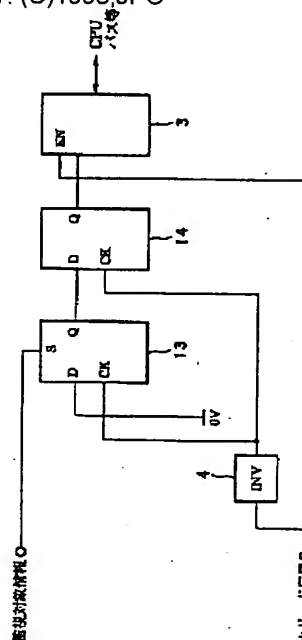
information.

(57) Abstract:

COPYRIGHT: (C)1998 JPO

PROBLEM TO BE SOLVED: To avoid the miss reading of object information generated during a read/reset operation by using an information holding circuit.

SOLUTION: When monitoring object information is inputted to a set input terminal S, an information holding circuit 13 is set, and an output is turned to '1' level. When a read signal is inputted, the information holding circuit 13 is reset, and the monitoring object information just before resetting is transferred to a read time information latch circuit 14 and sent out through a read register circuit 3 to a CPU bus or the like. Next, when the next monitoring object information is inputted during this reset operation, the information holding circuit 13 is again set by the newly inputted monitoring object information, and an output signal Q is turned to '1' level. Therefore, when the next read signal is generated, this monitoring object information is transferred successively to the read time information latch circuit 14 and the read register circuit 3, the monitoring object information is not missed, and a CPU or the like is able to read this



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-41804

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175			H 0 3 K 19/00	1 0 1 N
G 0 6 F 1/24			G 1 1 C 7/00	3 1 1 D
G 1 1 C 7/00	3 1 1		G 0 6 F 1/00	3 5 1

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平8-194213

(22) 出願日 平成8年(1996) 7月24日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 仙波 健一

宮城県仙台市青葉区一番町1丁目2番25号
富士通東北デジタル・テクノロジー株式
会社内

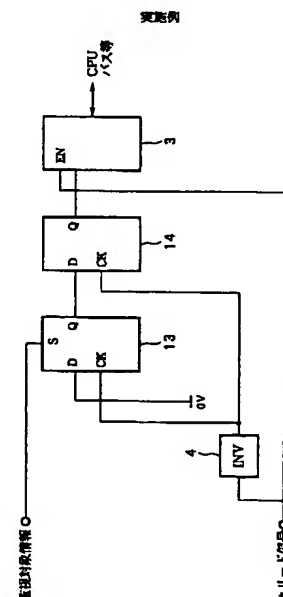
(74) 代理人 弁理士 小林 隆夫

(54) 【発明の名称】 レジスタ・リード・リセット回路

(57) 【要約】

【課題】 本発明は、情報を保持しているレジスタを読み出すことにより、それまで保持していた情報をリセットするリード・リセット・レジスタで構成される回路において、リセット時に発生する情報の取りこぼしを防ぐレジスタ・リード・リセット回路に関し、リード・リセット動作中に発生した読出し対象情報の取りこぼしを回避することを目的とする。

【構成】 入力された読出し対象情報によりセットされ、該読出し対象情報を読み出すための読出し信号の前縁に応答してリセットされる情報保持回路と、該情報保持回路の保持情報を該読出し信号の前縁に応答してラッチする情報ラッチ回路とを備えた構成としている。



【特許請求の範囲】

【請求項1】 入力された読出し対象情報によりセットされ、該読出し対象情報を読み出すための読出し信号の前縁に応答してリセットされる情報保持回路と、
該情報保持回路の保持情報を該読出し信号の前縁に
10 応答してラッチする情報ラッチ回路とを備えたレジスタ・リード・リセット回路。

【請求項2】 入力された読出し対象情報によりセットされ、該読出し対象情報を読み出すための読出し信号の信号レベルに
10 応答してリセットされる情報保持回路と、
該情報保持回路の保持情報を所定の周期クロックに
20 応答してラッチするクロック同期回路と、
該入力された読出し対象情報を次回読出しサイクルまで遅延させる情報遅延回路とを備え、
該クロック同期回路の出力信号と該情報遅延回路の出力信号とに基づいて読出し対象情報を取得するように構成したレジスタ・リード・リセット回路。

【請求項3】 該情報遅延回路は、
該読出し信号に基づいて次回読出しタイミングを発生する制御回路と、
20 該入力された読出し対象情報が入力されて複数段にシフトされる情報シフト回路と、
該シフトレジスタの複数段の出力信号を加算して状態変化情報に変換する情報加算回路とを備え、
該制御回路の次回読出しタイミング情報に
30 応答して該状態変化情報をリセット期間中に
取り込んだ読出し対象情報として出力するよう
に構成した請求項2記載のレジスタ・リード・リセット回路。

【請求項4】 該情報遅延回路は、
30 該読出し信号に基づいて次回読出しタイミングを発生する制御回路と、
該入力された読出し対象情報が入力されてその入力期間中にわたり所定周期クロックの
40 カウントを行う情報カウント回路とを備え、
該制御回路の次回読出しタイミング情報に
50 応答して該情報カウント回路の所定値を超える
カウント値をリセット期間中に取り込んだ
読出し対象情報として出力するように構成した
請求項2記載のレジスタ・リード・リセット回路。

【請求項5】 該情報遅延回路は、
該読出し信号に基づいて次回読出しタイミングを発生する制御回路と、
該入力された読出し対象情報が入力されてこれをラッチするリード・リセット時情報保持回路と、
該制御回路の次回読出しタイミング信号に
50 応答して該リード・リセット時情報保持回路のラッチ情報をリセット期間中に取り込んだ読出し対象情報として出力するよう
に構成した請求項2記載のレジスタ・リード・リセット回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、情報を保持しているレジスタを読み出すことにより、それまで保持していた情報をリセットするリード・リセット・レジスタで構成される回路において、リセット時に発生する情報の取りこぼしを防ぐレジスタ・リード・リセット回路に関する。

【0002】 本発明に係るレジスタ・リードリセット回路は、警報情報、操作情報等の瞬時に発生し、持続性がない情報を取り込んで内部処理する回路に用いて好適である。

【0003】

【従来の技術】 図9には従来のレジスタ・リード・リセット回路が示される。図中、1は情報保持回路であり、SRフリップフロップで構成される。この情報保持回路1は、そのセット入力端子Sに監視対象情報が、リセット入力端子Rにインバータ4で極性反転されたリード信号が入力されており、セット入力端子Sに監視対象情報（パルス信号）が入力されることでその監視対象情報を保持し、リード信号がリセット入力端子Rに入力されることにより、そのリード信号のレベル（“0”レベル）を検知して保持情報をリセットする。このリード信号は例えばCPU等からの指示で定期的等に発生される。

【0004】 2はD形フリップフロップからなる監視系クロック同期回路であり、情報保持回路1の出力端子Qからの出力信号がデータ入力端子Dに入力されており、クロック入力端子CKには監視系クロックが入力される。この監視系クロック同期回路2は監視系クロックが入力されるタイミングで、情報保持回路1の保持情報をラッチしてリード動作中における情報の変化を防止する。

【0005】 3はバッファ回路からなるリード・レジスタ回路であり、情報保持回路1から監視系クロック同期回路2にシフトした情報のリード制御をCPUやバス等との間で行う。4はリード信号を極性反転するインバータである。

【0006】 この従来回路の動作を図10の信号波形図を参照して説明する。図10において、(a)は監視対象情報、(b)はリード信号、(c)は監視系クロック、(d)は情報保持回路1の出力信号Q、(e)は監視系クロック同期回路2の出力信号Q、(f)はリード・レジスタ回路3の読出し情報である。

【0007】 監視対象情報①が入力されると、情報保持回路1がこの監視対象情報①のレベルを検出することでセットされて監視対象情報①を保持する。監視系クロックは周期的に発生されており、この監視系クロックが発生される毎にその立上りエッジで、情報保持回路1に保持されてる保持情報の内容が監視系クロック同期回路2に取り込まれる。リード信号が発生されると、リード・レジスタ回路3がイネーブルになって監視系クロック同

期回路2の内容がリード・レジスタ回路3に取り込まれてCPU等から読取り可能になると共に、情報保持回路1のリセット入力端子Rにリード信号が極性反転されて入力され、これにより情報保持回路1はリード信号の“0”レベルを検知して保持情報のリセットを行う。

【0008】

【発明が解決しようとする課題】監視対象情報は伝送路などを通して入力されるものであるが、この監視対象情報は年々高速化される状況にある。この結果、監視対象情報の周期に比べてリード信号のパルス幅が相対的に長くなってしまふ。すると、図10に示すように、リード信号が発生されている期間中（リード・リセット動作中）に、短いパルス幅の監視対象情報②が入力されても、情報保持回路1はリセット入力端子Rに入力されているリード信号の“0”レベルに基づいてリセット動作中であるため、この監視対象情報②は無視され、情報保持回路1に取り込まれない。

【0009】このように、従来の回路はリード・リセットを、リセット信号のレベルを用いて行っていたため、パルス幅が長い定常的な監視対象情報は扱えても、瞬時的な監視対象情報（持続性のない例えば警報情報、操作情報など）ではリセット期間より短い時間（パルス幅）の監視対象情報が発生するために、情報の取りこぼしが発生する。

【0010】したがって本発明の目的は、リード・リセット動作中に発生した読出し対象情報の取りこぼしを回避することにある。

【0011】

【課題を解決するための手段及び作用】上述の課題を解決するために、本発明に係るレジスタ・リード・リセット回路は、一つの形態として、入力された読出し対象情報によりセットされ、該読出し対象情報を読み出すための読出し信号の前縁にตอบสนองしてリセットされる情報保持回路と、該情報保持回路の保持情報を該読出し信号の前縁にตอบสนองしてラッチする情報ラッチ回路とを備えた構成としている。

【0012】かかる構成によれば、情報保持回路では読出し信号の前縁にตอบสนองしてその保持情報がリセットされ、かつその保持情報は次段の情報チッチ回路に転送される。よって読出し信号の持続期間中に次に続く瞬間的な読出し対象情報が入力されても、この読出し対象情報により情報保持回路が再度セットされ、よって次回読出しサイクルでこの読出し対象情報を取りこぼしなく取得することができる。

【0013】また、本発明に係るレジスタ・リード・リセット回路は、他の形態として、入力された読出し対象情報によりセットされ、該読出し対象情報を読み出すための読出し信号の信号レベルにตอบสนองしてリセットされる情報保持回路と、該情報保持回路の保持情報を所定の周期クロックにตอบสนองしてラッチするクロック同期回路と、

該入力された読出し対象情報を次回読出しサイクルまで遅延させる情報遅延回路とを備え、該クロック同期回路の出力信号と該情報遅延回路の出力信号とに基づいて読出し対象情報を取得するようにした構成としている。

【0014】かかる構成にすれば、情報保持回路のリード・リセット動作中に入力された読出し対象情報は、情報遅延回路により次回読出しサイクルまで保持されて次回読出しサイクルで読み出されるので、かかる読出し対象情報の取りこぼしを回避できる。

10 【0015】上記の情報遅延回路は、該読出し信号に基づいて次回読出しタイミングを発生する制御回路と、該入力された読出し対象情報が入力されて複数段にシフトされる情報シフト回路と、該シフトレジスタの複数段の出力信号を加算して状態変化情報に変換する情報加算回路とを備え、該制御回路の次回読出しタイミング情報にตอบสนองして該状態変化情報をリセット期間中に取り込んだ読出し対象情報として出力するようにした構成とすることができる。

20 【0016】また上記の情報遅延回路は、該読出し信号に基づいて次回読出しタイミングを発生する制御回路と、該入力された読出し対象情報が入力されてその入力期間中にわたり所定周期クロックのカウントを行う情報カウント回路とを備え、該制御回路の次回読出しタイミング情報にตอบสนองして該情報カウント回路の所定値を超えるカウント値をリセット期間中に取り込んだ読出し対象情報として出力するようにした構成とすることもできる。

【0017】さらに上記の情報遅延回路は、該読出し信号に基づいて次回読出しタイミングを発生する制御回路と、該入力された読出し対象情報が入力されてこれをラッチするリード・リセット時情報保持回路と、該制御回路の次回読出しタイミング信号にตอบสนองして該リード・リセット時情報保持回路のラッチ情報をリセット期間中に取り込んだ読出し対象情報として出力するようにした構成とするもできる。

【0018】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。図1は本発明の一実施形態としてのレジスタ・リード・リセット回路である。図中、監視対象情報、リード信号、リード・レジスタ回路3、インバータ4は前述の従来回路で説明したものと同一である。

【0019】相違点として初段にある情報保持回路13としてセット入力端子S付きのD形フリップフロップが用いられており、この情報保持回路13はセット入力端子Sに監視対象情報が、データ入力端子Dに“0”レベルが、クロック入力端子CKにリード信号がそれぞれ入力されるようになっている。この情報保持回路13は、セット入力が優先されるタイプのものであり、セット入力が入力された時には、データ入力端子Dとクロック入力端子CKの状態如何にかかわらずセット（出力信号Q

が“1”レベルとなる)される。また、リセット動作は、入力されるリード信号の前縁である立下りエッジ(従って、インバータ4を介することでクロック入力端子CKに☐されるリード信号の立上りエッジ)で行われる。この点、従来のSRフリップフロップではリセット入力端子Rに☐されたリード信号の“0”レベルを検知してその“0”レベル期間中にわたりリセットが行われるのと相違している。

【0020】また、14はD形フリップフロップからなるリード時情報ラッチ回路であり、リード・リセット時に情報保持回路13の情報を保持し、リード・レジスタ回路3へ転送する。

【0021】この実施例回路の動作を図2の信号波形図を参照して以下に説明する。図2において、(a)は監視対象情報、(b)はリード信号、(c)は情報保持回路13の出力信号、(d)はリード時情報ラッチ回路14の出力信号、(e)はリード・レジスタ回路3の読出し情報である。

【0022】監視対象情報①が☐されると、その監視対象情報①のレベルを検知して情報保持回路13がセットされてその出力が“1”レベルとなる。この情報保持回路13は監視対象情報をクロック等でラッチしないので、セット入力端子Sの最小有効パルス幅までの監視対象情報をセットすることができる。

【0023】リード信号が☐されると、情報保持回路13はそのリード信号の立下りエッジを検出してデータ入力端子Dの“0”レベルを取り込んで等価的にリセットされると共に、リセット直前までの保持情報(監視対象情報①)はリード時情報ラッチ回路14に転送されてラッチされ、さらにリード・レジスタ回路3を介してCPU等のバスへ送出される。

【0024】次に、上記リセット動作中に(すなわちリード信号の“0”レベル期間中に)、次の監視対象情報②が☐された場合、情報保持回路13はリード信号の立下りエッジでリセットされる構造であるため(すなわちリード信号が“L”レベルであることによりリセットをかける構造ではないため)、情報保持回路13は既にリセットを完了しているので、新たに☐された監視対象情報②によって再びセットされて出力信号Qが“1”レベルとなり、よって次のリード信号が発生された時にはこの監視対象情報②はリード時情報ラッチ回路14、リード・レジスタ回路3に順次に転送され、CPU等が読み取ることができるようになる。

【0025】従って、リード・リセット動作中に発生した監視対象情報であっても、その監視対象情報によって情報保持回路13がセットされるので、監視対象情報の取りこぼしが発生しない。また回路構成がシンプルになるため、回路規模の小型化を図ることができる。

【0026】図3には本発明の他の実施形態によるレジスタ・リード・リセット回路が示される。このレジスタ

・リード・リセット回路において、情報保持回路1、監視系クロック同期回路2(またはリード時情報ラッチ回路)、リード・レジスタ回路3、インバータ4は従来回路について説明したものと同じものである。

【0027】7はn段のシフトレジスタからなる情報シフト回路であり、そのデータ入力端子Dに監視対象情報が、クロック入力端子CKにサンプリング・クロックが、リセット入力端子に後述の情報シフト回路制御回路5からの出力信号がそれぞれ☐され、その出力端子Q1~Qnからの出力信号が後段の情報加算回路8に送出される。この情報シフト回路7はリード・リセット動作中に発生した監視対象情報をラッチし、次に続く監視周期まで遅延させる働きをする。

【0028】8は加算器からなる情報加算回路であり、その加算入力端子D1~Dnに前段の情報シフト回路7からの出力信号Q1~Qnがそれぞれ☐され、そのキャリー出力端子Cからの出力信号が後段のリード・リセット情報保持回路9に☐される。この情報加算回路8は情報シフト回路7から出力された複数の出力信号Q1~Qnを加算し、状態変化情報に変換するものである。この状態変化情報はリード・リセット動作中における監視対象情報入力の有無を表示する情報である。

【0029】9はD形フリップフロップからなるリード・リセット情報保持回路であり、そのデータ入力端子Dに情報加算回路8からの出力信号が、クロック入力端子CKに情報シフト回路制御回路5からの出力信号がそれぞれ☐される。このリード・リセット情報保持回路9は情報加算回路8から出力された状態変化情報を次回読出し(次の監視周期(リード信号周期))に備えてラッチするものである。

【0030】5はn段のシフトレジスタとAND回路からなる情報シフト回路制御回路である、シフトレジスタはそのデータ入力端子Dにリード信号が、クロック入力端子CKにサンプリング・クロックがそれぞれ☐され、そのn段目の出力端子Qnからの出力信号が次段のAND回路に☐される。AND回路は、シフトレジスタからのn段目の出力信号Qnとリード信号とが☐され、その出力信号は情報シフト回路7のリセット入力端子Rとリード・リセット情報保持回路9のクロック入力端子CKに送出される。この情報シフト回路制御回路5は情報シフト回路7に蓄積されている情報が全て出力されたら情報シフト回路7をリセットすると共に、次回読出しに備えて、情報をラッチするタイミングを生成する。

【0031】10はOR回路であり、リード・リセット情報保持回路9の出力信号と監視系クロック同期回路2の出力信号とが☐され、その出力信号はリード・レジスタ回路3に☐される。

【0032】この実施例回路の動作を図4の信号波形図を参照して以下に説明される。図4において、(a)は

監視対象情報、(b)はリード信号、(c)はサンプリング・クロック、(d)は監視系クロック、(e)は情報シフト回路7のリセット入力端子Rに入力されるリセット信号(すなわち情報シフト回路制御回路5の出力信号)、(f)は情報シフト回路7の出力信号Q1~Qn、(g)は情報加算回路8から出力される状態変化情報、(h)はリード・リセット情報保持回路9の出力信号、(i)は情報保持回路1の出力信号、(j)は監視系クロック同期回路2の出力信号、(k)はリード・レジスタ回路3の出力信号である。

【0033】監視対象情報が通常に(すなわちリード・リセット動作中以外のときに)入力されているときの監視対象情報取込み動作は、従来回路で説明したものと同様であり、図4の信号波形図における監視対象情報①の取込み動作で示されるように、情報保持回路1、監視系クロック同期回路2、リード・レジスタ回路3、インバータ4により監視対象情報が取り込まれてCPU等へバスを介して送出される。

【0034】次に、リード・リセット動作中(すなわちリード信号が“0”レベルの期間中)に監視対象情報②が入力された場合、この監視対象情報②は、従来回路で説明したように、情報保持回路1、監視系クロック同期回路2、リード・レジスタ回路3、インバータ4からなる回路では取り込むことができない。

【0035】そこで、このリード・リセット中に発生した監視対象情報②を情報シフト回路7を用いて遅延させる。すなわち図4(f)に示されるように、情報シフト回路7では監視対象情報②をn段に遅延させた出力信号Q1~Qnが得られる。この遅延量はリード時間の2倍必要となり、この遅延量の制御は情報シフト回路制御回路5で制御する。

【0036】この情報シフト回路7で遅延された図4(f)に示す各出力信号Q1~Qnは情報加算回路8に入力されて加算され、図4(g)に示す状態変化情報に変換される。この状態変化情報は、情報シフト回路制御回路5の出力信号で設定される遅延サイクルの終了時に、リード・リセット情報保持回路9にラッチされ、OR回路6を介してリード・レジスタ回路3に入力される。したがって、OR回路6によりリード・リセット情報保持回路9の出力信号と監視系クロック同期回路2の出力信号との論理和をとることにより、次のリード・サイクルにおいて前サイクルのリード・リセット動作中に遅延経路側(情報シフト回路7の経路側)に取り込んだ監視対象情報②を出力することができる。

【0037】図5には本発明のまた他の実施形態としてのレジスタ・リード・リセット回路が示される。この実施例回路において、情報保持回路1、監視系クロック同期回路2、リード・レジスタ回路3、インバータ4、OR回路6、リード・リセット情報保持回路9は上述の実施例のものと同じである。

【0038】相違点として、図4における情報シフト回路制御回路5、情報シフト回路7、情報加算回路8に代えて、カウンタからなる情報カウント回路11が設けられている。この情報カウント回路11はリード・リセット動作中に発生した監視対象情報をカウントし、状態変化情報に変換するもので、リード・リセット動作中に発生した監視対象情報を次回読出しサイクルまで遅延させる働きをするものである。この情報カウント回路11のイネーブル入力端子ENには監視対象情報が、クロック入力端子CKにはサンプリング・クロックが、リセット入力端子Rにはリード信号がそれぞれ入力され、そのキャリア出力端子Cからの出力信号がリード・リセット情報保持回路9のデータ入力端子Dに入力される。またリード・リセット情報保持回路9のクロック入力端子CKにはリード信号が直接に入力されている。

【0039】この実施例回路の動作が図6の信号波形図を参照して以下に説明される。図6において、(a)は監視対象情報、(b)はリード信号、(c)はサンプリング・クロック、(d)は監視系クロック、(e)は情報カウント回路11のリセット入力端子Rに入力されるリード信号、(f)は情報カウント回路11のキャリア出力信号C、(g)はリード・リセット情報保持回路9の出力信号、(h)は情報保持回路1の出力信号、(i)は監視系クロック同期回路2の出力信号、(j)はリード・レジスタ回路3の出力信号である。

【0040】監視対象情報が通常(すなわちリード・リセット動作中以外の時)に入力されているときの監視対象情報取込み動作は、従来回路で説明したものと同様であり、図6の信号波形図における監視対象情報①の取込み動作で示されるように、情報保持回路1、監視系クロック同期回路2、リード・レジスタ回路3、インバータ4により監視対象情報が取り込まれてCPU等へバスを介して送出される。

【0041】次に、リード・リセット動作中(すなわちリード信号が“0”レベルの期間中)に監視対象情報②が入力された場合、この監視対象情報②は、従来回路で説明したように、情報保持回路1、監視系クロック同期回路2、リード・レジスタ回路3、インバータ4からなる回路では取り込むことができないので、情報カウント回路11を用いて監視対象情報②を保持する。

【0042】そこで、監視対象情報②により情報カウント回路11をイネーブル状態にして、この監視対象情報②の持続期間中、サンプリング・クロックをカウントすることにより、リード・リセット動作中に発生した監視対象情報の持続時間だけ情報カウント回路11をカウント動作させてその持続時間に対応したカウント値を得る。この情報カウント回路11のカウント値の有効期間は、そのカウント値がリード信号の立上りでリセットされるため、リード期間のみである。

【0043】この情報カウント回路11のキャリア出力

端子Cからキャリア出力信号を状態変化情報として取り出し、この状態変化情報は、リード信号の立上りにより決まる遅延サイクルの終了時に、リード・リセット情報保持回路9にラッチされ、OR回路6を介してリード・レジスタ回路3に入力とされる。したがって、OR回路6によりリード・リセット情報保持回路9の出力信号と監視系クロック同期回路2の出力信号との論理和をとることにより、次のリード・サイクルにおいて前サイクルのリード・リセット動作中に遅延経路側（情報カウン回路11の経路側）に取り込んだ監視対象情報②を出力することができる。

【0044】図7には本発明のまた他の実施形態としてのレジスタ・リード・リセット回路が示される。この実施例回路において、情報保持回路1、監視系クロック同期回路2、リード・レジスタ回路3、インバータ4、情報シフト回路制御回路5、OR回路6、情報シフト回路7、リード・リセット情報保持回路9は上述の実施例のものと同じである。

【0045】相違点として、図4における情報加算回路8に代えて、SR形フリップフロップからなるリード・リセット情報保持回路12が設けられている。このリード・リセット情報保持回路12は情報シフト回路7から出力された出力信号をラッチし、状態変化情報に変換するものであり、そのセット入力端子Sには情報シフト回路7からの出力信号Q1が、リセット入力端子Rには情報シフト回路制御回路5からの出力信号がそれぞれ入力され、その出力信号はリード・リセット情報保持回路9のデータ入力端子Dに送出される。

【0046】この実施例回路の動作が図8の信号波形図を参照して以下に説明される。図8において、(a)は監視対象情報、(b)はリード信号、(c)はサンプリング・クロック、(d)は監視系クロック、(e)は情報シフト回路7のリセット入力端子Rに入力されるリセット信号（すなわち情報シフト回路制御回路5の出力信号）、(f)は情報シフト回路7の出力信号Q1、

(g)はリード・リセット情報保持回路12の出力信号Q、(h)はリード・リセット情報保持回路9の出力信号、(i)は情報保持回路1の出力信号、(j)は監視系クロック同期回路2の出力信号、(k)はリード・レジスタ回路3の出力信号である。

【0047】監視対象情報が通常（すなわちリード・リセット動作中以外の時）に入力されているときの監視対象情報取込み動作は、従来回路で説明したものと同様であり、図6の信号波形図における監視対象情報①の取込み動作で示されるように、情報保持回路1、監視系クロック同期回路2、リード・レジスタ回路3、インバータ4により監視対象情報が取り込まれてCPU等にバスを介して送出される。

【0048】次に、リード・リセット動作中（すなわちリード信号が“0”レベルの期間中）に監視対象情報②

が入力された場合、この監視対象情報②は、従来回路で説明したように、情報保持回路1、監視系クロック同期回路2、リード・レジスタ回路3、インバータ4からなる回路では取り込むことができないので、情報シフト回路7を用いて監視対象情報②を保持する。

【0049】このリード・リセット中に発生した監視対象情報②を情報シフト回路7を用いて遅延させる。すなわち図8(f)に示されるように監視対象情報②を遅延させた出力信号Q1が得られる。この遅延量はリード時間の2倍必要となり、この遅延量の制御は情報シフト回路制御回路5で制御する。

【0050】この情報シフト回路7で遅延された図4(f)に示す出力信号Q1はリード・リセット情報保持回路12に入力され、図4(g)に示す状態変化情報に変換される。この状態変化情報は、情報シフト回路制御回路5の出力信号で設定される遅延サイクルの終了時に、リード・リセット情報保持回路9にラッチされ、OR回路6を介してリード・レジスタ回路3に入力とされる。したがって、OR回路6によりリード・リセット情報保持回路9の出力信号と監視系クロック同期回路2の出力信号との論理和をとることにより、次のリード・サイクルにおいて前サイクルのリード・リセット動作中に遅延経路側（情報シフト回路7の経路側）に取り込んだ監視対象情報②を出力することができる。

【0051】

【発明の効果】以上に説明したように、本発明によれば、リード・リセット動作中に発生した読出し対象情報の取りこぼしを回避することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態としてのレジスタ・リード・リセット回路を示す図である。

【図2】図1の実施例回路の信号波形図である。

【図3】本発明の他の実施形態としてのレジスタ・リード・リセット回路を示す図である。

【図4】図3の実施例回路の信号波形図である。

【図5】本発明のまた他の実施形態としてのレジスタ・リード・リセット回路を示す図である。

【図6】図5の実施例回路の信号波形図である。

【図7】本発明のまた他の実施形態としてのレジスタ・リード・リセット回路を示す図である。

【図8】図7の実施例回路の信号波形図である。

【図9】従来例のレジスタ・リード・リセット回路を示す図である。

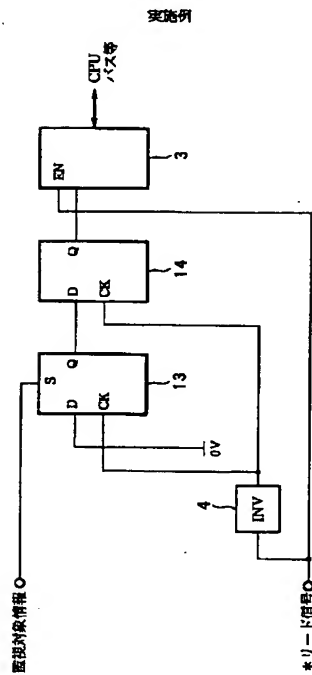
【図10】従来回路の信号波形図である。

【符号の説明】

- 1 情報保持回路
- 2 監視系クロック同期回路
- 3 リード・レジスタ回路
- 4 インバータ
- 5 情報シフト回路制御回路

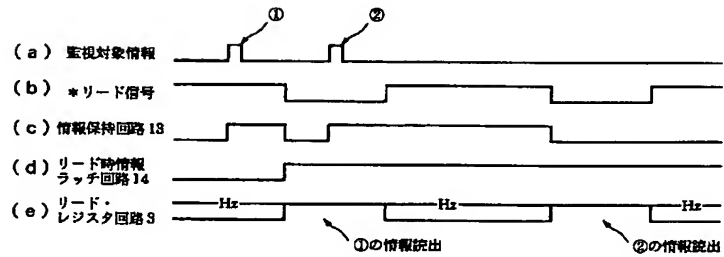
- 6 OR回路
- 7 情報シフト回路
- 8 情報加算回路
- 9 リード・リセット情報保持回路

【図1】

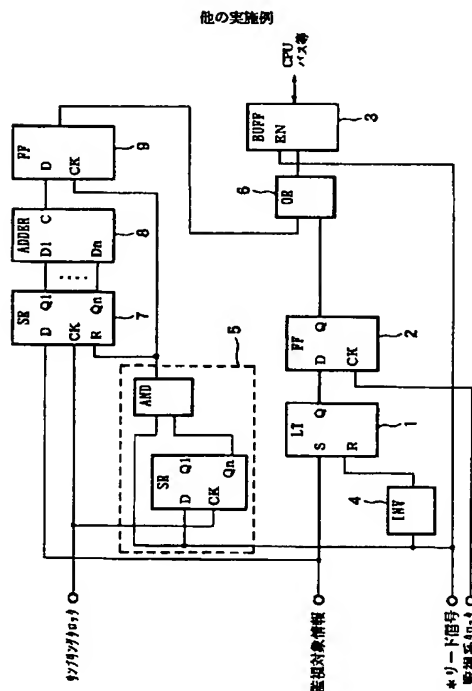


- 11 情報カウント回路
- 12 リード・リセット情報保持回路
- 13 情報保持回路
- 14 リード時情報ラッチ回路

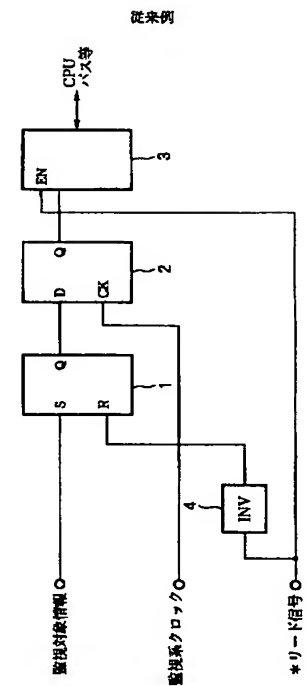
【図2】



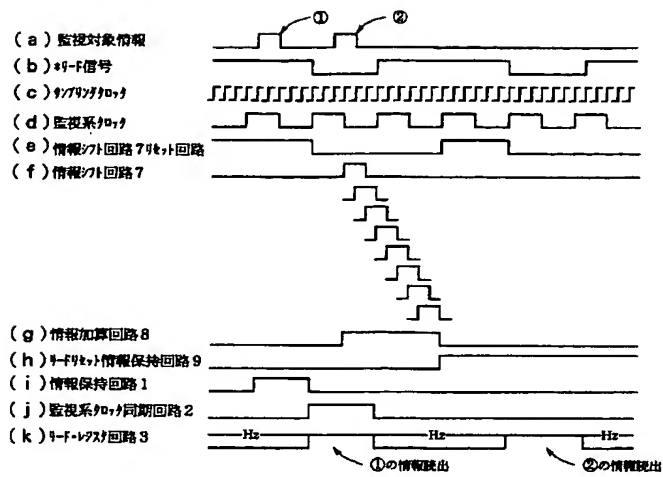
【図3】



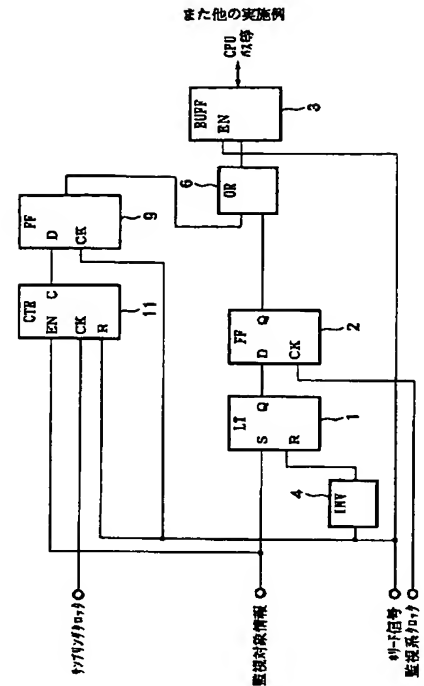
【図9】



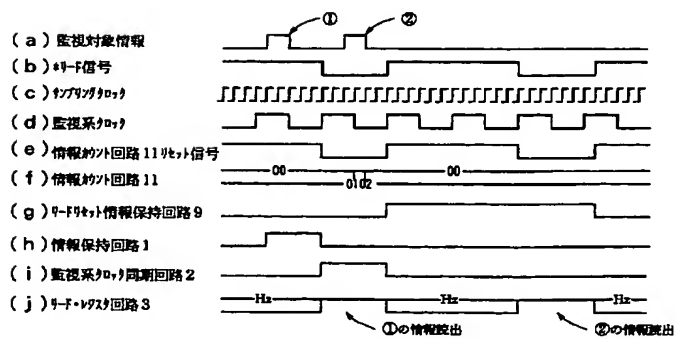
【図4】



【図5】



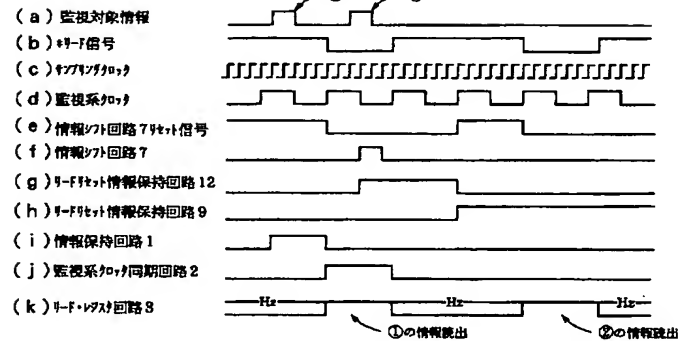
【図6】



【图7】



【图 8】



【図10】

